

CUSTOMER NO. 23932

Docket No.: 61170-00025USPX
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Richard Fournel et al.

Application No.: 10/726263

Confirmation No.: 3373

Filed: December 2, 2003

Art Unit: 2818

For: NONVOLATILE SRAM MEMORY CELL

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS MISSING PARTS
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the U.S. Postal Service with sufficient postage as First Class Mail, in an envelope addressed to: MS MISSING PARTS, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date shown below.

Dated: August 10, 2004

Signature: 

(Margo Barbarash)

Dear Sir:

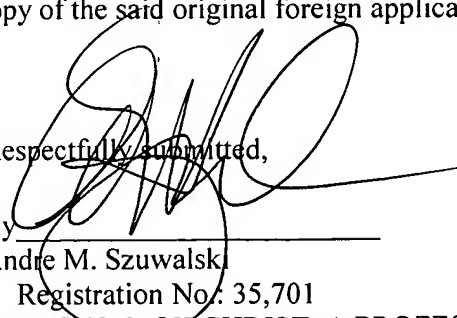
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
France	02 16558	December 23, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: August 10, 2004

Respectfully submitted,

By 
Andre M. Szuwalski

Registration No.: 35,701
JENKENS & GILCHRIST, A PROFESSIONAL
CORPORATION
1445 Ross Avenue, Suite 3200
Dallas, Texas 75202
(214) 855-4500
Attorneys For Applicant



THIS PAGE BLANK (USPTO)

02 16 77 8
Pasabge
(2)

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 02 DEC. 2003

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11354*02

REQUÊTE EN DÉLIVRANCE page 1/2

BR1

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 6 W / 010801

23 DEC 2002 REMISE DES PIÈCES DATE 23 INPI PARIS LIEU 0216558 N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE 23 DEC. 2002 PAR L'INPI		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Bureau D.A. CASALONGA - JOSSE 8, avenue Percier 75008 PARIS	
Vos références pour ce dossier (facultatif) B 02/1761 FR-ODE			
Confirmation d'un dépôt par télécopie		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> <i>ou demande de certificat d'utilité initiale</i>		N° _____ Date _____ N° _____ Date _____	
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		<input type="checkbox"/> N° _____ Date _____	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Cellule de mémoire SRAM non volatile.			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		_____	
Code APE-NAF		_____	
Domicile ou siège	Rue	29, Boulevard Romain Rolland	
	Code postal et ville	92120 MONTROUGE	
	Pays	France	
Nationalité		Française	
N° de téléphone (facultatif)		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			

Remplir impérativement la 2^{ème} page



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE
page 2/2

BR2

23 DEC 2002 REMISE DES PIÈCES DATE 15 INPI PARIS LIEU 0216558 N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI		DS 540 @ W / 016801	
Vos références pour ce dossier : <i>(facultatif)</i>		B 02/1761 FR-ODE	
6 MANDATAIRE <i>(s'il y a lieu)</i>			
Nom			
Prénom			
Cabinet ou Société		Bureau D.A. CASALONGA - JOSSE	
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	8, avenue Percier	
	Code postal et ville	75100 PARIS	
	Pays		
N° de téléphone <i>(facultatif)</i>			
N° de télécopie <i>(facultatif)</i>			
Adresse électronique <i>(facultatif)</i>			
7 INVENTEUR (S)		Les inventeurs sont nécessairement des personnes physiques	
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance <i>(en deux versements)</i>		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention <i>(joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence)</i> : AG [] [] [] [] []	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)		VISA DE LA PRÉFECTURE OU DE L'INPI M. ROCHET	

Gérard DOSSMANN, bn 92 1075 j
Conseil en Propriété Industrielle

Cellule de mémoire SRAM non volatile.

L'invention concerne les mémoires statiques à accès aléatoire (SRAM) réalisées en technologie MOS.

5 Comme on le sait, une cellule de mémoire SRAM conventionnelle comporte six transistors MOS agencés de manière à former des premier et deuxième inverseurs interconnectés entre des premier et deuxième nœuds de données.

10 Chaque inverseur comporte un transistor PMOS connecté en série avec un transistor NMOS entre une source d'alimentation en tension continue et un circuit de mise à la masse. Les grilles des transistors PMOS et NMOS de chaque inverseur sont reliées. Les électrodes communes entre les transistors NMOS et PMOS constituent un nœud de données.

15 Deux transistors NMOS assurent l'interconnexion de la cellule avec une ligne de mots et une ligne de bits, et permettent ainsi une lecture du point mémoire ou une modification de ce dernier.

20 De telles cellules sont avantageuses dans la mesure où elles sont relativement rapides. En effet, le temps de cycle, c'est-à-dire le temps minimal entre deux opérations successives de la mémoire, que ce soit en lecture ou en écriture, correspond au temps d'accès à la mémoire, c'est-à-dire le temps entre le moment où l'adresse est présente et le moment où la donnée lue est disponible à la sortie de la mémoire.

25 Cependant, avec ce type de mémoire, la mémoire est permanente tant que les circuits sont alimentés. En d'autres termes, les données sont perdues lorsque la mémoire n'est plus alimentée.

30 Il est donc nécessaire de coupler ces mémoires à des mémoires additionnelles non volatiles vers lesquelles les données sont transférées avant la coupure de l'alimentation.

Au vu de ce qui précède, le but de l'invention est de fournir une cellule de mémoire SRAM, non volatile, c'est-à-dire capable de conserver son contenu de manière permanente.

Ainsi, selon l'invention, il est proposé une cellule de mémoire SRAM comprenant des premier et deuxième inverseurs interconnectés entre des premier et deuxième nœuds de données, chaque inverseur comportant des transistors MOS complémentaires connectés en série
5 entre une source d'alimentation en tension continue et un circuit de mise à la masse.

Cette cellule comporte, selon une caractéristique générale, des moyens de programmation des transistors MOS adaptés pour provoquer, après programmation, une dégradation irréversible d'une
10 couche d'oxyde de grille d'une partie au moins des transistors.

Il a ainsi été constaté qu'une telle dégradation engendre une modification des caractéristiques des transistors, entraînant une chute du courant de drain pouvant aller jusqu'à environ 30 %. Une telle dégradation est alors utilisée pour le stockage d'informations, pendant
15 une durée de rétention pouvant aller jusqu'à une dizaine d'années.

Selon une autre caractéristique de cette cellule, chaque inverseur comporte un premier transistor PMOS et un deuxième transistor NMOS couplés en série entre la source d'alimentation et le circuit de mise à la masse, les nœuds des données étant respectivement
20 formés entre les deux transistors NMOS et PMOS des inverseurs.

Selon encore une autre caractéristique de la cellule mémoire SRAM selon l'invention, le transistor MOS dégradé est un transistor à couche d'oxyde de grille mince, également connu sous l'appellation transistor GO1.
25

Après programmation, la couche d'oxyde est dégradée au moins localement de manière à obtenir, lors de la lecture de la cellule, une variation du courant délivré par le transistor

Selon un mode de réalisation, les moyens de programmation comportent, pour chaque inverseur, un transistor de programmation raccordé entre une ligne de commande de programmation et les
30 transistors de l'inverseur.

Ces moyens de programmation comportent ainsi, par exemple, un transistor NMOS assurant le raccordement sélectif de la grille d'un transistor à dégrader à une source de tension de programmation

délivrant un niveau de tension apte à provoquer, conjointement avec la source d'alimentation en tension continue qui est raccordée au drain dudit transistor, une dégradation de la couche d'oxyde de grille du transistor, le transistor de programmation étant piloté par la ligne de commande de programmation.

En outre, selon une autre caractéristique, cette cellule comporte des moyens pour provoquer le fonctionnement de la cellule en tant que mémoire SRAM après programmation.

Ces moyens peuvent être réalisés sous la forme de transistors NMOS assurant l'interconnexion des inverseurs, ces transistors étant raccordés à une ligne de commande du fonctionnement de la cellule en tant que mémoire SRAM.

Les électrodes de drain et de source de chacun de ces transistors NMOS sont respectivement raccordées à la grille des transistors de l'un des inverseurs.

D'autres buts, caractéristiques et avantages de l'invention apparaîtront à la lecture de la description qui va suivre, donnée uniquement à titre d'exemple non limitatif, et faite en référence aux dessins annexés, sur lesquels :

-la figure 1 est un schéma illustrant la structure d'une cellule de mémoire SRAM statique, non volatile, conforme à l'invention ; et

-la figure 2 montre l'évolution de signaux de commande appliqués à la cellule de la figure 1.

Sur la figure 1, on a représenté la structure générale d'une cellule SRAM non volatile, conforme à l'invention, désignée par la référence numérique générale 10.

Comme on le voit sur cette figure, cette cellule de mémoire SRAM 10 est réalisée à partir d'une structure de point mémoire 12 SRAM ayant un comportement conventionnel, complétée de manière à permettre de provoquer une dégradation de transistors entrant dans la constitution du point mémoire 12 lors de la programmation de la cellule 10, de manière à provoquer une dégradation irréversible de ces transistors telle qu'elle provoque une diminution du courant délivré

par ces transistors lors de la lecture et diminution de la tension de seuil.

Comme on le voit sur cette figure 1, le point mémoire SRAM 12 est constitué par une association de deux inverseurs 14 et 16
5 interconnectés.

Plus particulièrement, chaque inverseur 14 et 16 est constitué par l'association en série d'un premier transistor PMOS, respectivement 18 et 18' et d'un deuxième transistor NMOS, respectivement 20 et 20', raccordés en série entre une source
10 d'alimentation en tension continue V_{DD} et un circuit de mise à la masse 22.

Les transistors sont agencés de sorte que le drain D de chacun des premiers transistors PMOS 18 et 18' soit raccordé à la source d'alimentation V_{DD} et que leurs sources soient raccordées au drain D
15 des deuxièmes transistors NMOS 20 et 20' du même inverseur et à la grille G du deuxième transistor NMOS 20 de l'autre inverseur.

Deux transistors additionnels 24 et 26, qui permettent l'accès aux nœuds de donnée N1 et N2 de la cellule de mémoire SRAM qui sont formés au niveau de l'interconnexion des premier et deuxième
20 transistors 18, 18' et 20, 20' de chaque inverseur 14 et 16, sont commandés par une ligne de mots WL pour transférer un bit mémorisé vers des lignes de bits BL et BL B.

Pour la programmation de la cellule SRAM 10, celle-ci est pourvue de transistors de programmation 28 et 30, constitués par des
25 transistors NMOS placés en série entre les grilles G des premiers transistors PMOS 18, 18' des inverseurs 14 et 16.

Ces transistors 28 et 30 sont commandés par une ligne de commande de programmation PROG, la grille de chacun de ces transistors étant connectée à cette ligne de commande PROG. Par
30 ailleurs, les électrodes de drain et de source de ces transistors de commande sont respectivement raccordées à une deuxième source d'alimentation en tension continue V_{REF} destinée à positionner la grille des premiers transistors 18 à un niveau permettant une dégradation de l'oxyde de grille. De même, la tension V_{DD} fournie par la première

source d'alimentation en tension continue est choisie de manière à créer une tension V_{DS} entre la source et le drain de ces transistors apte à provoquer une dégradation de la couche d'oxyde de grille de ces transistors.

5 Pour la réalisation des premiers transistors 18, 18' de chacun des inverseurs 14 et 16, on utilise un transistor MOS de type à oxyde de grille mince, également connu sous l'appellation « Transistor MOS GO1 ». Tous les autres transistors sont des transistors à oxyde épais pour ne pas être affecté par le stress de programmation..

10 Avec de tels transistors, par exemple, pour provoquer une dégradation de la couche d'oxyde de grille, on utilise une tension V_{DD} de l'ordre de 3,3 Volts et une tension V_{REF} de l'ordre de 2 Volts. Dans ces conditions, il est créé une dégradation locale de la couche d'oxyde de grille du côté de la zone de drain de ces transistors, laquelle
15 engendre une chute de la tension de seuil de ces transistors ainsi qu'une chute du courant de drain. Une telle chute de courant peut atteindre une valeur de 30 %, en fonction des conditions de lecture. Par exemple, on atteint une réduction du courant de 22 % pour une tension de grille de 1,2 Volts et une tension de drain de 1,2 Volts. Une
20 réduction du courant de 30 % est atteinte pour une tension de grille de 1,2 Volts et une tension de drain de 0,1 Volt.

On voit enfin, sur la figure 1, que les premier et deuxième transistors 18 et 20 de chaque inverseur sont interconnectés par l'intermédiaire de transistors NMOS additionnels 32 et 34 agencés de
25 sorte que leur grille G soit raccordée à une ligne SRAM de commande du fonctionnement de la cellule en tant que mémoire SRAM et que leur drain et leur source soient respectivement connectés à la grille des premier et deuxième transistors 18 et 20. Ainsi, un niveau haut sur cette ligne de commande SRAM provoque le raccordement de la grille
30 G des transistors des inverseurs 14 et 16.

On va maintenant décrire, en référence à la figure 2, l'évolution des niveaux de tension disponibles sur les lignes V_{DD} , V_{REF} , PROG et SRAM

Comme indiqué précédemment, lors d'un cycle I de fonctionnement de la cellule 10 en tant que mémoire SRAM, la tension disponible sur la ligne SRAM est positionnée à un niveau haut, par exemple de l'ordre de 1,2 Volt. Les niveaux de tension sur les lignes V_{REF} et PROG sont positionnés à un niveau bas et la tension V_{DD} délivrée par la première source d'alimentation en tension est positionnée à un niveau bas, par exemple de 1,2 Volt.

Pour réaliser un cycle d'introduction d'une donnée à programmer, cette donnée « DATA » est positionnée sur les lignes de bits BL et BL B, c'est-à-dire (0-1) ou (1-0). Puis le ligne de mots WL passe à l'état haut de façon à positionner le point mémoire. La ligne de mots WL passe ensuite à l'état bas. Les lignes de bits BL et BL B peuvent ensuite changer d'état de façon à écrire les autres cellules positionnées sur les même lignes de bits.

Pour provoquer la programmation de la cellule, la tension sur la ligne SRAM est annulée et la tension fournie par les lignes PROG et V_{REF} est élevée jusqu'à un niveau de l'ordre de 1 Volt, par exemple 1,2 Volt pour la tension sur la ligne PROG et 1 Volt pour la ligne V_{REF} (cycle II). Enfin, pour procéder à la programmation proprement dite (cycle III), la tension sur la ligne PROG et la tension délivrée par la première source d'alimentation V_{DD} sont élevées à un niveau de 3,3 Volts. En ce qui concerne la tension V_{REF} délivrée par la deuxième source d'alimentation en tension, celle-ci est par exemple réglée à un niveau de 2,2 Volts.

De tels niveaux de tension engendrent, comme indiqué précédemment, une dégradation irréversible des transistors 18 et 18', laquelle peut être utilisée pour le stockage d'une information pendant une durée pouvant aller jusqu'à une dizaine d'années.

A la mise sous tension, les nœuds N1 et N2 sont à 0V. En fonction de la donnée préalablement programmée, l'un des transistors MOS 18 ou 18' fournit moins de courant que l'autre MOS 18' ou 18. Le nœud N2 s'initialise à 1 et N1 à 0V, ou N2 à 0V et N1 à 1, lors de la montée de l'alimentation. Lors de la lecture, la ligne de bits WL et le signal PROG sont à 0. Le signal SRAM doit être à 1 avant la montée

de V_{DD} . Enfin, la donnée est positionnée sur les lignes de bits BL et BLB.

On notera enfin que les transistors 28 et 30 des moyens de programmation peuvent être remplacés par des diodes ou des transistors montés en diode.

REVENDICATIONS

1. Cellule de mémoire SRAM comprenant des premier et deuxième inverseurs (14, 16) interconnectés entre des premier et deuxième nœuds (N1, N2) de données, chaque inverseur comportant des transistors MOS complémentaires (18, 20, 18', 20') connectés en série entre une source d'alimentation en tension continue (V_{DD}) et un circuit de mise à la masse (22), caractérisée en ce qu'elle comporte en outre des moyens de programmation (28, 30) des transistors MOS adaptés pour provoquer, après programmation, une dégradation irréversible d'une couche d'oxyde de grille d'une partie au moins des transistors.

2. Cellule de mémoire SRAM selon la revendication 1, caractérisée en ce que chaque inverseur comporte un premier transistor PMOS (18, 18') et un deuxième transistor NMOS (20, 20') couplés en série entre la source d'alimentation et le circuit de mise à la masse, les nœuds de données (N1, N2) étant respectivement formés entre les deux transistors NMOS et PMOS des inverseurs.

3. Cellule de mémoire SRAM selon l'une des revendications 1 et 2, caractérisée en ce que le transistor MOS dégradé est un transistor à couche d'oxyde de grille mince (GO1).

4. Cellule de mémoire SRAM selon l'une quelconque des revendications 1 à 3, caractérisée en ce que la couche d'oxyde est dégradée au moins localement de manière à obtenir, lors de la lecture de la cellule, une variation du courant délivré par le transistor.

5. Cellule de mémoire SRAM selon l'une quelconque des revendications 2 à 4, caractérisée en ce que les moyens de programmation comportent, pour chaque inverseur, un transistor de programmation (28, 30) ou une diode raccordée entre une ligne de

commande de programmation (PROG) et l'un des transistors de l'inverseur.

5 6. Cellule de mémoire SRAM selon la revendication 5, caractérisée en ce que les moyens de programmation comportent un transistor NMOS ou une diode de programmation (28, 30) assurant le
raccordement sélectif de la grille d'un transistor (18) à dégrader à une
source de tension de programmation (VREF) délivrant un niveau de
tension apte à provoquer, conjointement avec la source d'alimentation
en tension continue raccordée au drain dudit transistor (18), une
10 dégradation de la couche d'oxyde de grille du transistor, le transistor
de programmation étant piloté par la ligne de commande de
programmation (PROG).

15 7. Cellule de mémoire SRAM selon l'une quelconque des revendications 1 à 6, caractérisée en ce qu'elle comporte en outre des
moyens (32, 34) pour provoquer le fonctionnement de la cellule en tant
que mémoire SRAM après programmation.

20 8. Cellule de mémoire SRAM selon la revendication 7, caractérisée en ce que les inverseurs sont interconnectés par
l'intermédiaire de transistors NMOS (32, 34) raccordés à une ligne
(SRAM) de commande du fonctionnement de la cellule en tant que
mémoire SRAM.

25 9. Cellule de mémoire SRAM selon la revendication 8, caractérisée en ce que les électrodes de drain et de source de chacun
desdits transistor NMOS (32, 34) sont respectivement raccordées à la
grille des transistors de l'un des inverseurs.

1/2

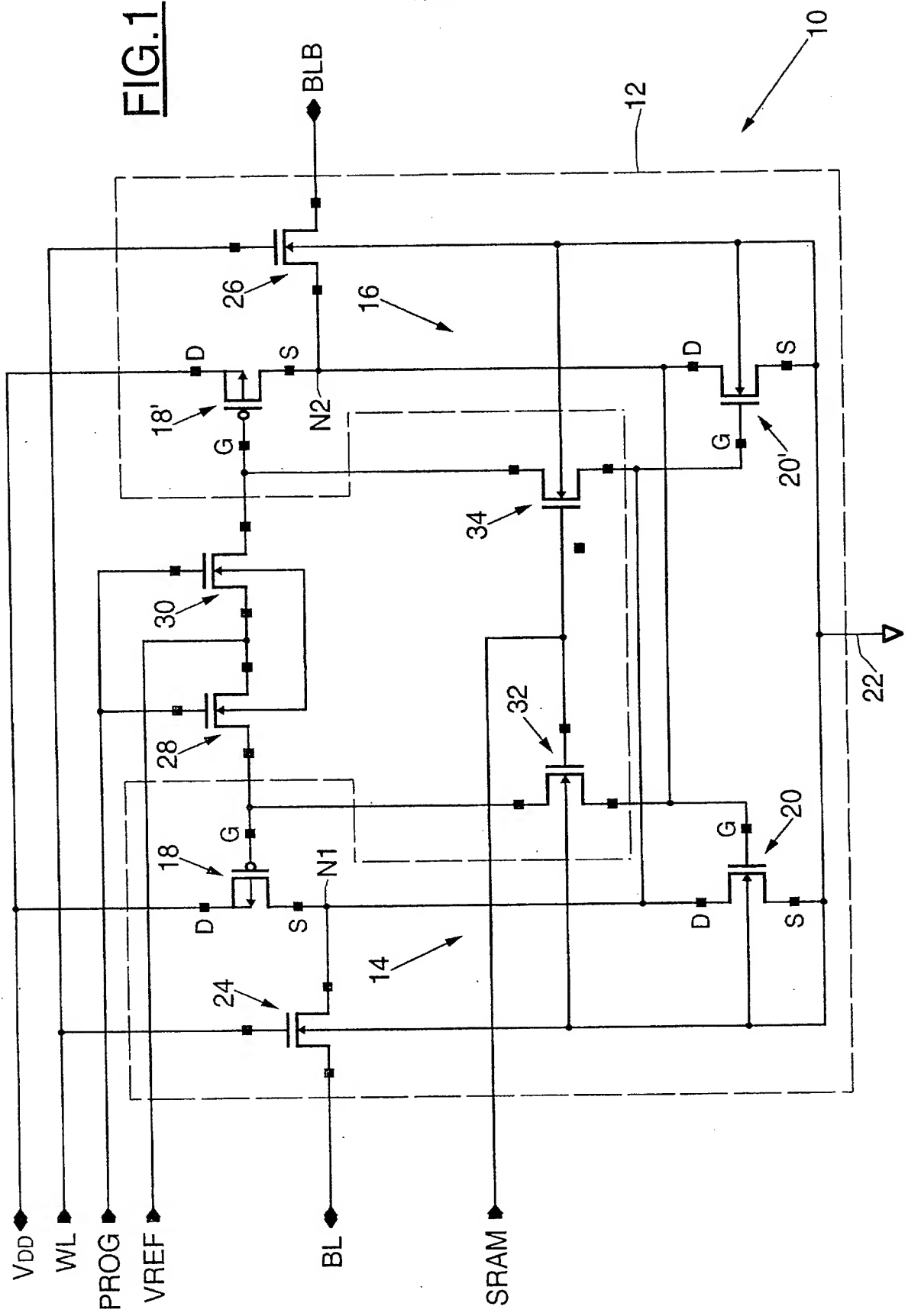
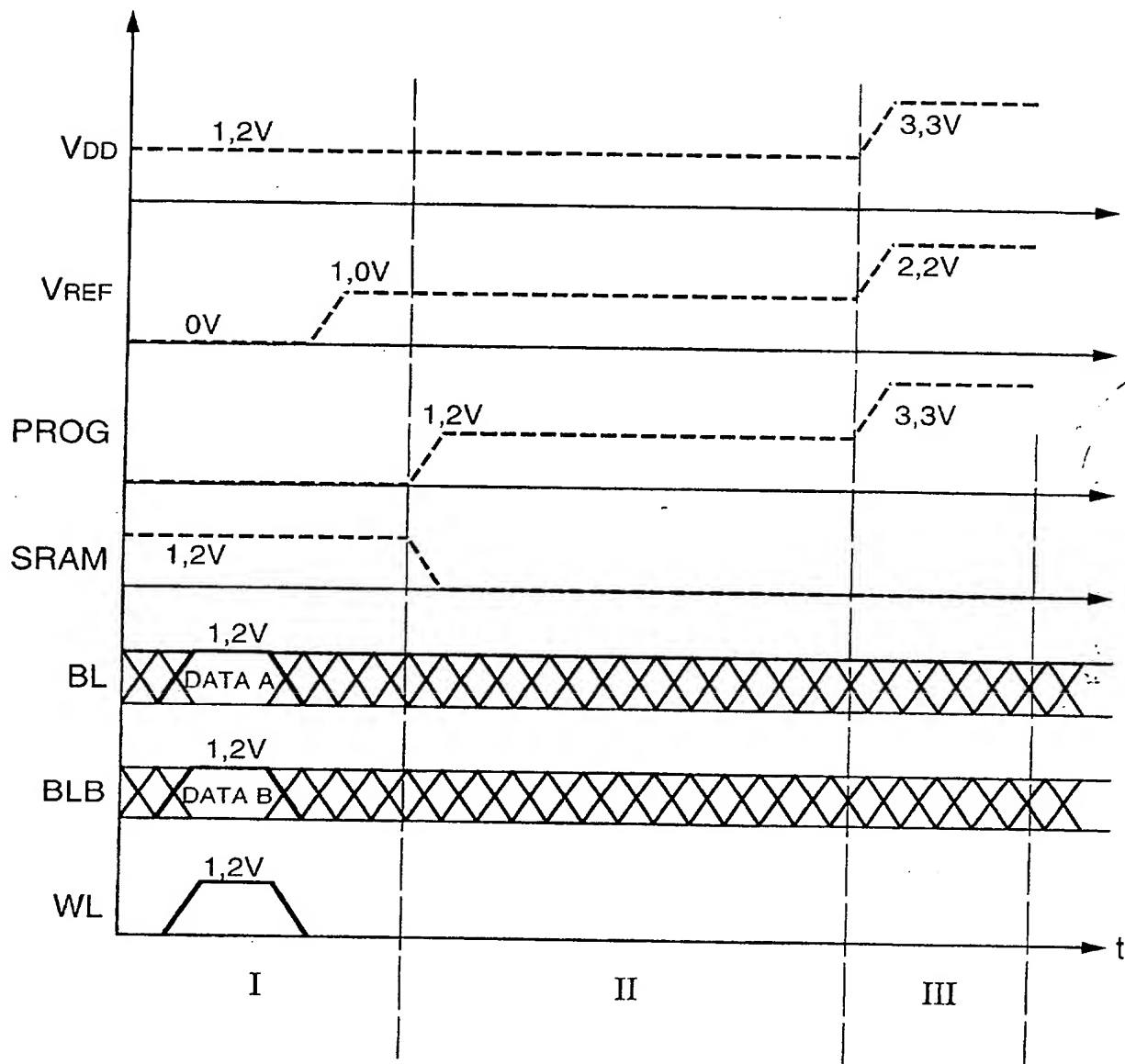


FIG.2



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

N° 11235*03

DÉSIGNATION D'INVENTEUR(S) Page N° 1../2..

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)



Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 6 W / 270601

Vos références pour ce dossier (facultatif)		B 02/1761FR-ODE
N° D'ENREGISTREMENT NATIONAL		0216558
TITRE DE L'INVENTION (200 caractères ou espaces maximum)		
Cellule de mémoire SRAM non volatile.		
LE(S) DEMANDEUR(S) :		
Société Anonyme dite : STMicroelectronics SA		
DESIGNE(NT) EN TANT QU'INVENTEUR(S) :		
1	Nom	FOURNEL
	Prénoms	Richard
Adresse	Rue	171 Chemin des fontanettes
	Code postal et ville	3181610 LUMBIN
Société d'appartenance (facultatif)		
2	Nom	VINCENT
	Prénoms	Emmanuel
Adresse	Rue	18 Chemin Meney
	Code postal et ville	31811010 GRENOBLE
Société d'appartenance (facultatif)		
3	Nom	BRUYÈRE
	Prénoms	Sylvie
Adresse	Rue	15 Chemin Guilbaud
	Code postal et ville	31811010 GRENOBLE
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Paris, le 23 Décembre 2002 Gérard DOSSMANN, bm 92 1075 j Conseiller en Propriété Industrielle

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION**CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle - Livre VI

N° 11235*03
DÉSIGNATION D'INVENTEUR(S) Page N° 2../2..

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)



Cet imprimé est à remplir lisiblement à l'encre noire

CB 113 & W / 270601

Vos références pour ce dossier (facultatif)		B 02/1761FR-ODE
N° D'ENREGISTREMENT NATIONAL		02 16 58
TITRE DE L'INVENTION (200 caractères ou espaces maximum)		
Cellule de mémoire SRAM non volatile.		
LE(S) DEMANDEUR(S) :		
Société Anonyme dite : STMicroelectronics SA		
DESIGNE(NT) EN TANT QU'INVENTEUR(S) :		
1	Nom	CANDELIER
	Prénoms	Philippe
	Adresse	Rue Les Faures
		Code postal et ville 3 8 1 9 0 SAINT MURY
	Société d'appartenance (facultatif)	
2	Nom	JACQUET
	Prénoms	François
	Adresse	Rue Le Rouare
		Code postal et ville 3 8 1 9 0 FROGES
	Société d'appartenance (facultatif)	
3	Nom	
	Prénoms	
	Adresse	Rue
		Code postal et ville
	Société d'appartenance (facultatif)	
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Paris, le 23 Décembre 2002
		Gérard DOSSMANN, bm 92 1075 j Conseil en Propriété Industrielle

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

THIS PAGE BLANK (USPTO)